

日本国特許庁
JAPAN PATENT OFFICE

TOKU et al.
BSICB U.P.
703-205-800
February 4, 2003
0020-52222
10F2

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 2月 4日
Date of Application:

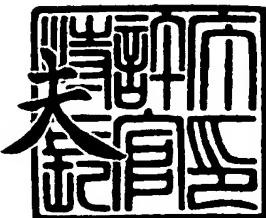
出願番号 特願2003-026752
Application Number:
[ST. 10/C] : [JP2003-026752]

出願人 シャープ株式会社
Applicant(s):

2003年12月26日

特許庁長官
Commissioner,
Japan Patent Office

今井康



【書類名】 特許願

【整理番号】 184362

【提出日】 平成15年 2月 4日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/10

G11C 7/00

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内

【氏名】 徳井 圭

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内

【氏名】 岩田 浩

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内

【氏名】 矢追 善史

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内

【氏名】 柴田 晃秀

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内

【氏名】 那脇 勝

【特許出願人】

【識別番号】 000005049

【住所又は居所】 大阪府大阪市阿倍野区長池町22番22号

【氏名又は名称】 シャープ株式会社

【代理人】

【識別番号】 100062144

【弁理士】

【氏名又は名称】 青山 葵

【選任した代理人】

【識別番号】 100086405

【弁理士】

【氏名又は名称】 河宮 治

【選任した代理人】

【識別番号】 100084146

【弁理士】

【氏名又は名称】 山崎 宏

【手数料の表示】

【予納台帳番号】 013262

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0208766

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体記憶装置

【特許請求の範囲】

【請求項 1】 ソース領域と、ドレイン領域と、上記ソース領域とドレイン領域との間に形成されたチャネル領域と、上記チャネル領域上に形成されたゲート絶縁膜と、上記ゲート絶縁膜上に形成されたゲート電極と、上記ゲート電極の両側に形成されたメモリ機能部とを有する不揮発性メモリセルを用いて形成されたメモリセルアレイと、

上記メモリセルアレイに供給する電圧を生成する電圧供給回路と、
上記電圧供給回路が生成した電圧の極性を反転させる電圧極性反転回路と、
上記電圧極性反転回路から上記メモリセルアレイに供給される電圧の値を検出する第1電圧値検出回路と
を備えることを特徴とする半導体記憶装置。

【請求項 2】 請求項 1 に記載の半導体記憶装置において、
上記電圧供給回路から上記メモリセルアレイに供給される電圧の値を検出する
第2電圧値検出回路を備えることを特徴とする半導体記憶装置。

【請求項 3】 請求項 1 に記載の半導体記憶装置において、
上記メモリセルアレイを形成する不揮発性メモリセルのうちの適切な不揮発性メモリセルを選択し、この選択した不揮発性メモリセルに、上記電圧供給回路および上記電圧極性反転回路を接続する選択接続回路を備え、
上記選択接続回路は、電界効果トランジスタを含むことを特徴とする半導体記憶装置。

【請求項 4】 請求項 3 に記載の半導体記憶装置において、
上記選択接続回路に含まれる電界効果トランジスタのうちの少なくとも 1 つは、
上記電圧極性反転回路に含まれる電界効果トランジスタの閾値電圧よりも低い閾値電圧を有する低閾値電界効果トランジスタであることを特徴とする半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体記憶装置に関する。

【0002】**【従来の技術】**

従来、例えばフラッシュ・メモリ等のような半導体記憶装置としては、メモリセルアレイの駆動用に、単一の電源電圧を生成する電圧供給回路を備えたものがある（例えば特許文献1参照）。また、メモリセルへの書き込み・消去時に、12Vのような高電圧を使用したものがある（例えば特許文献2参照）。図3は、このような半導体記憶装置を示したブロック図である。この半導体記憶装置は、6Vの低電圧を生成する電圧供給回路101を備え、例えばデータの書き込み等の特定の操作モードに対応するため、図示しないチャージポンプ等によって上記電圧供給回路101からの供給電圧を昇圧して、12V程度の高電圧を生成している。上記電圧供給回路101からの低電圧と、上記チャージポンプで昇圧された高電圧とが、メモリセルアレイ102のうち、接続選択回路105によって接続された所定のメモリセルに供給される。これによって、上記メモリセルについて、データの読み書きが行われる。上記電圧供給回路101からメモリセルアレイ102に供給する電圧のうち、上記6Vの低電圧は、6V電圧レベル検出回路103によって検出する一方、上記12Vの高電圧は、12V電圧レベル検出回路104によって検出する。上記6V電圧レベル検出回路103および12V電圧レベル検出回路104の検出信号に基いて、制御回路100によって、上記接続選択回路105の動作を制御している。

【0003】**【特許文献1】**

特開平9-213090号公報

【特許文献2】

特開2001-160298号公報

【0004】**【発明が解決しようとする課題】**

しかしながら、上記従来の半導体記憶装置は、上記メモリセルに対する特定の

操作において12Vの高電圧を使用するので、上記メモリセルや、上記接続選択回路105等の周辺回路に用いられるトランジスタのゲート絶縁膜を厚くする必要がある。したがって、短チャネル効果を考慮する必要があるので、上記メモリセルや周辺回路のトランジスタについて、ゲート長が比較的小さいトランジスタを用いることが困難であり、その結果、メモリセルアレイ102や、周辺回路のうちの高電圧に関連する周辺回路、特に、12V電圧レベル検出回路104の回路面積が大きくなるという問題がある。その結果、半導体記憶装置全体の小型化が困難であるという問題がある。

【0005】

そこで、本発明の目的は、メモリセルアレイや周辺回路の小型化が有効に行なえる半導体記憶装置を提供することにある。

【0006】

【課題を解決するための手段】

上記目的を達成するため、本発明の半導体記憶装置は、ソース領域と、ドレン領域と、上記ソース領域とドレン領域との間に形成されたチャネル領域と、上記チャネル領域上に形成されたゲート絶縁膜と、上記ゲート絶縁膜上に形成されたゲート電極と、上記ゲート電極の両側に形成されたメモリ機能部とを有する不揮発性メモリセルを用いて形成されたメモリセルアレイと、

上記メモリセルアレイに供給する電圧を生成する電圧供給回路と、

上記電圧供給回路が生成した電圧の極性を反転させる電圧極性反転回路と、

上記電圧極性反転回路から上記メモリセルアレイに供給される電圧の値を検出する第1電圧値検出回路とを備えることを特徴としている。

【0007】

本発明によれば、電圧供給回路で生成された電圧が、上記電圧極性反転回路によって極性が反転されて、メモリセルアレイに供給される。上記第1電圧値検出回路によって、上記電圧極性反転回路から上記メモリセルアレイに供給される電圧の値が検出される。この検出値に応じて、例えば、上記電圧極性反転回路と上記メモリアレイとを接続する回路等の動作が制御される。上記メモリセルアレイに供給される電圧の値は、その絶対値が、上記電圧供給回路で生成された電圧の

値以下である。その結果、上記メモリセルアレイの不揮発性メモリセルや、上記第1電圧値検出回路等に用いられるトランジスタは、従来のような高電圧に対応するためにゲート絶縁膜の厚みを大きくする必要がない。したがって、上記不揮発性メモリセルやトランジスタにおける短チャンネル効果が軽減される。その結果、上記不揮発性メモリセルおよびトランジスタについて、従来よりもチャンネル長を小さくできる。さらに、上記メモリセルアレイを形成する不揮発性メモリセルは、上記ゲート電極の両側にメモリ機能部を有するので、上記ゲート電極とチャネル領域との間のゲート絶縁膜の厚みを従来よりも薄くできる。その結果、この半導体記憶装置は、上記メモリセルアレイの不揮発性メモリセルや、上記第1電圧値検出回路等のような周辺回路に用いられるトランジスタについて、ゲート絶縁膜の厚みを小さくでき、また、ゲート長を小さくできる。これによって、上記メモリセルアレイや周辺回路の回路面積が効果的に小さくできて、半導体記憶装置の小型化を効果的に行なうことができる。

【0008】

1 実施形態の半導体記憶装置は、上記電圧供給回路から上記メモリセルアレイに供給される電圧の値を検出する第2電圧値検出回路を備える。

【0009】

上記実施形態によれば、上記第2電圧値検出回路によって、上記電圧供給回路から上記メモリセルアレイに供給される電圧の値が検出される。上記第2電圧値検出回路が検出する電圧値と、上記第1電圧値検出回路が検出する上記電圧極性反転回路から上記メモリセルアレイに供給される電圧値とは、絶対値の最大が互いに同じになる。したがって、上記第2電圧値検出回路に用いるトランジスタは、上記第1電圧値検出回路に用いるトランジスタと、ゲート絶縁膜の厚みおよびチャネル長が略同じにできる。しかも、上記第2電圧値検出回路は、上記第1電圧値検出回路と同様に、検出する電圧値の絶対値が従来よりも小さいので、ゲート絶縁膜の厚みを従来よりも小さくできて、ゲート長を小さくできる。その結果、上記第1電圧値検出回路と第2電圧値検出回路は、ゲート絶縁膜を同一の工程で形成できるので、製造工程における手間を従来よりも削除でき、しかも、上記第2電圧値検出回路の回路面積を従来よりも小さくできる。その結果、半導体記

憶装置の小型化と、製造コストの削減とを、効果的に行なうことができる。

【0010】

1 実施形態の半導体記憶装置は、上記メモリセルアレイを形成する不揮発性メモリセルのうちの適切な不揮発性メモリセルを選択し、この選択した不揮発性メモリセルに、上記電圧供給回路および上記電圧極性反転回路を接続する選択接続回路を備え、

上記選択接続回路は、電界効果トランジスタを含む。

【0011】

上記実施形態によれば、上記接続選択回路によって、例えばメモリセルアレイの操作のモードに応じて、上記電圧供給回路および電圧極性反転回路からの電圧が、適切な不揮発性メモリセルに供給される。また、上記接続選択回路は、電界効果トランジスタを含むので、所定の電圧を適切な不揮発性メモリセルに供給する接続スイッチを、簡単に構成することができる。

【0012】

1 実施形態の半導体記憶装置は、上記選択接続回路に含まれる電界効果トランジスタのうちの少なくとも1つは、上記電圧極性反転回路に含まれる電界効果トランジスタの閾値電圧よりも低い閾値電圧を有する低閾値電界効果トランジスタである。

【0013】

上記実施形態によれば、低閾値電界効果トランジスタを接続選択回路に使用することによって、電圧極性反転回路から供給された電圧は、上記接続選択回路によって不揮発性メモリセルに供給される際ににおける電圧降下量が低減されるので、上記不揮発性メモリセルに十分な値の電圧を供給することができる。

【0014】

【発明の実施の形態】

以下、本発明を図示の実施の形態により詳細に説明する。

【0015】

図1は、本発明の実施形態の半導体記憶装置を示すブロック図である。本実施形態の半導体記憶装置は、制御回路100、電圧供給回路101、電圧極性反転

回路111、第1電圧値検出回路としての6V電圧レベル電圧値検出回路103、第2電圧値検出回路としての-6V電圧レベル検出回路110、接続選択回路105、およびメモリセルアレイ102を備える。

【0016】

この半導体記憶装置は、上記電圧供給回路101によって6Vの電源電圧を生成すると共に、この電源電圧の極性を上記電圧極性反転回路111によって反転して-6Vの電圧を生成する。これによって、上記電圧供給回路101からの電圧と、上記電圧極性反転回路111からの電圧とによって12Vの電位差を得ている。したがって、従来におけるような6Vの電源電圧を12Vに昇圧するチャージポンプ等が不要になっている。また、従来の12V電圧レベル検出回路104に代えて、上記-6Vの電圧レベル検出回路110を備えている。

【0017】

上記6Vおよび-6Vの電圧レベル検出回路103、110によって検出された検出値は、上記制御回路100へ送られる。この制御回路100は、上記検出値に応じた信号を上記接続選択回路105に送る。この接続選択回路105は、上記制御回路100からの信号に応じて、上記電圧供給回路101および上記電圧極性反転回路111と、上記メモリセルアレイ102が有するワード線、ビット線、および、ソース線とを接続する。これによって、上記メモリセルアレイ102に関するデータの書き込み、消去、および、読み出し等の操作モードに応じて、必要な値の電圧を、上記メモリセルアレイ中の適切な不揮発性メモリセルに供給するようになっている。

【0018】

上記接続選択回路105は、上記電圧極性反転回路111が有する電界効果トランジスタよりも閾値電圧が低い低閾値の電界効果トランジスタを用いて形成している。これによって、上記電圧極性反転回路111を上記メモリセルアレイ102に接続する際の電圧降下を低減して、上記電圧極性反転回路111からの電圧を、その電圧値を十分に保持してメモリセルアレイ102に供給することができる。例えば、上記電圧の供給側のノードをドレイン電極に、上記制御装置100からの制御信号が導かれるノードをゲート電極に、上記メモリセルアレイ10

2側のノードをソース電極とする。このとき、上記メモリセルアレイ102に供給される電圧値は、上記電圧極性反転回路111から供給される電圧値から、上記接続選択回路105の電界効果トランジスタの閾値電圧値を引いた値となる。したがって、上記接続選択回路105の電界効果トランジスタの閾値を低閾値にすることによって、上記メモリセルアレイ102に十分な値の電圧を供給できる。

【0019】

また、6V電圧レベル検出回路103および-6V電圧レベル検出回路110は、従来の12V電圧レベル検出回路104よりも、検出する電圧の絶対値の大きさが小さいので、用いるトランジスタのゲート絶縁膜の厚みを薄くできる。したがって、上記ゲート絶縁膜の薄膜化により、短チャネル効果が抑制されてトランジスタの微細化が可能となるので、6V電圧レベル検出回路103及び-6V電圧レベル検出回路110の回路面積が、12V電圧レベル検出回路104の回路面積よりも小さくできる。その結果、この半導体記憶装置全体の小型化を有効に実現することができる。

【0020】

図2は、上記メモリセルアレイ102を形成する不揮発性メモリセルの構造を示す断面図である。この不揮発性メモリセルは、基板204の表面部分に2つの拡散領域202、203で形成されたソースおよびドレイン領域と、このソースおよびドレイン領域の間に形成されたチャネル領域と、このチャネル領域上に形成されたゲート絶縁膜201と、このゲート絶縁膜201上に形成されたゲート電極200と、このゲート電極200の両側に形成されたメモリ機能部としてのメモリ機能膜205、206とを備える。

【0021】

従来、フラッシュメモリに多く用いられている不揮発性メモリセルは、ゲート電極下にメモリ機能膜を有するので、ゲート絶縁膜の膜厚に関するスケーリングが困難であり、短チャネル効果の増大を招くことにより微細化が困難であった。これに対して、本実施形態の不揮発性メモリセルは、メモリ機能膜205、206がゲート電極200の両側に存在するので、微細化が容易である。また、2つ

のメモリ機能膜205, 206を上記ゲート電極200の両側に配置しているので、2ビット以上の記憶が容易に行うことができる。

【0022】

また、この不揮発性メモリセルは、ゲート電極の下方にメモリ機能膜を有する従来の不揮発性メモリセルに比べて、周辺回路との混載が容易である。その理由は、上記ゲート絶縁膜201と、周辺回路を構成するトランジスタのゲート絶縁膜と、同一の厚みの絶縁膜によって形成できるからである。従来の不揮発性メモリセルは、ゲート絶縁膜がフローティングゲートを含むので、周辺回路と混載を行なう場合、周辺回路を構成するトランジスタのゲート絶縁膜とは別個にゲート絶縁膜を形成する必要があって、製造工数が増大していた。

【0023】

本実施形態の半導体記憶装置は、上記不揮発性メモリセルを用いて形成されたメモリセルアレイ102と、周辺回路としての上記6V電圧レベル検出回路103及び-6V電圧レベル検出回路110とを備える。したがって、上記メモリセルアレイ102および周辺回路は、有効に微細化でき、しかも、少ない製造工程によって容易に混載することができる。

【0024】

本実施形態の半導体記憶装置について、メモリセルアレイ102に関する各操作モードにおける動作を以下に説明する。ここで、不揮発性メモリセルがNチャネル型である場合を説明する。不揮発性メモリセルがPチャネル型である場合は、電圧の極性を互いに入れ換えればよい。なお、印加する電圧を特に指定しないノードについては、接地電位を与えればよい。

【0025】

本実施形態のメモリセルアレイ102について、所定のメモリセルに書き込みを行う場合、ゲート電極200に正電圧を印加する。これと共に、2つの拡散領域202, 203のいずれか一方であってドレイン領域として機能させる拡散領域に、上記ゲート電極200に印加したのと同程度、または、それ以上の正電圧を印加する。例えば、図2における左側の拡散領域202をドレイン領域として機能させる場合、このドレイン領域に正電圧を印加する。これによって、図2に

おける右側の拡散領域203であるソース領域から、電荷（電子）が供給される。この電荷は、上記ドレイン領域の端付近で加速され、ホットエレクトロンとなって、ドレイン領域側のメモリ機能膜205に注入される。このとき、ソース領域側のメモリ機能膜206には電子は注入されない。このようにして、ドレイン領域側のメモリ機能膜205に、データの書き込みを行なうことができる。また、上記拡散領域202、203について、ソース領域とドレイン領域とを入れかえることによって、もう一方のメモリ機能膜206にデータの書き込みを行なうことができる。こうして、本実施形態の不揮発性メモリセルに、容易に2ビットの書き込みを行うことができる。

【0026】

上記不揮発性メモリセルに書き込まれたデータを読み出す場合、読み出すべきデータが書き込まれている側のメモリ機能膜205、206側の拡散領域202、203をソース領域とし、反対側の拡散領域202、203をドレイン領域とする。例えば、図2における左側のメモリ機能膜205に書き込まれたデータを読み出す場合、ゲート電極200に正電圧を印加する。これと共に、図2における右側の拡散領域203に、上記ゲート電極200への印加電圧と同程度か、それ以上の正電圧を与える。つまり、上記右側の拡散領域203をドレイン領域として機能させる。ただし、このドレイン領域への印加電圧は、このドレイン領域側のメモリ機能膜206に書き込み動作が行われない程度に小さくしておかなければならぬ。

【0027】

上記ドレイン領域からの電流が、上記メモリ機能膜205に蓄積されていた電荷の多寡によって変化する。この電流の変化を検知することによって、上記メモリ機能膜205に記憶されたデータを検出することができる。図2における右側のメモリ機能膜206に書き込まれたデータを読み出す場合、上記拡散領域202、203について、ソース領域とドレイン領域とを入れ替えればよい。

【0028】

また、上記不揮発性メモリセルに書き込まれたデータを消去する場合、ホットホール注入を利用する。すなわち、消去したいデータが記憶されたメモリ機能膜

205, 206側の拡散層領域202, 203に正電圧を印加すると共に、ゲート電極200に負電圧を与える。これによって、半導体基板204と、正電圧を与えた拡散領域202, 203との間のP N接合において、バンド間トンネルによって正孔が発生する。この正孔は、上記負電位のゲート電極200に引き寄せられて、消去したいデータが記憶されたメモリ機能膜に注入される。このようにして、所望の側のメモリ機能膜205, 206に格納されたデータを消去することができる。

【0029】

以上のような動作を行なうため、接続選択回路105によって、ゲート電極200やドレイン電極など、各電極に結合されているノードに、所定の値の電圧を供給する。例えば、所定の不揮発性メモリセルに記憶されたデータを消去する場合、上記不揮発性メモリセルを選択し、このメモリセルのゲート電極200に結合されたノードに上記電圧極性反転回路111を接続して-6Vの電圧を供給する。これと共に、消去したいデータが記憶されたメモリ機能膜205, 206側の拡散領域202, 203に結合されたノードに、上記電圧供給回路101を接続して6V電圧を供給する。さらに、上記メモリセルの他方の拡散領域202, 203に結合されたノードを接地することで、上記メモリ機能膜205, 206のデータの消去が行われる。

【0030】

【発明の効果】

以上より明らかなように、本発明の半導体記憶装置によれば、ソース領域と、ドレイン領域と、上記ソース領域とドレイン領域との間に形成されたチャネル領域と、上記チャネル領域上に形成されたゲート絶縁膜と、上記ゲート絶縁膜上に形成されたゲート電極と、上記ゲート電極の両側に形成されたメモリ機能部とを有する不揮発性メモリセルを用いて形成されたメモリセルアレイと、上記メモリセルアレイに供給する電圧を生成する電圧供給回路と、上記電圧供給回路が生成した電圧の極性を反転させる電圧極性反転回路と、上記電圧極性反転回路から上記メモリセルアレイに供給される電圧の値を検出する第1電圧値検出回路とを備えるので、上記メモリセルアレイの不揮発性メモリセルと、上記第1電圧値検出



回路等に用いられるトランジスタについて、従来よりもゲート絶縁膜の厚みを薄くでき、微細化が効果的に実現できる。その結果、上記メモリセルアレイや周辺回路の回路面積が効果的に小さくでき、半導体記憶装置の小型化を効果的に行なうことができる。また、上記メモリセルアレイの不揮発性メモリセルのゲート絶縁膜と、上記第1電圧値検出回路等のトランジスタのゲート絶縁膜とを、同一の工程によって形成できるので、製造コストを削減できて、半導体記憶装置のコスト削減を有効に行なうことができる。

【図面の簡単な説明】

【図1】 本発明の実施形態の半導体記憶装置を示すブロック図である。

【図2】 メモリセルアレイを形成する不揮発性メモリセルを示す断面図である。

【図3】 従来の半導体記憶装置を示したブロック図である。

【符号の説明】

100 制御回路

101 電圧供給回路

102 メモリセルアレイ

103 6V電圧レベル検出回路

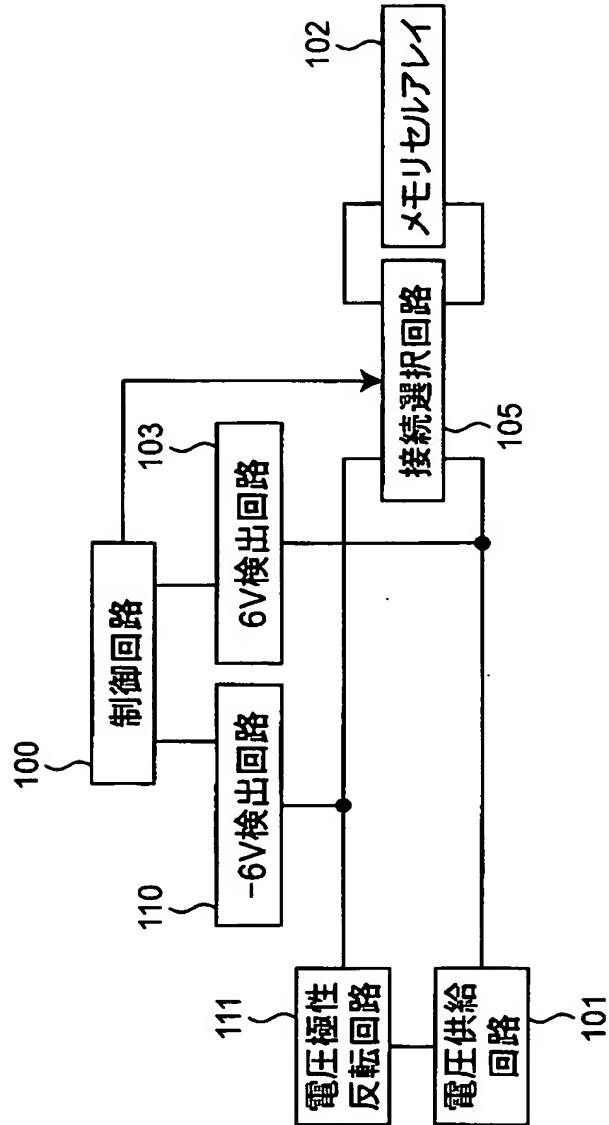
105 接続選択回路

110 -6V電圧レベル検出回路

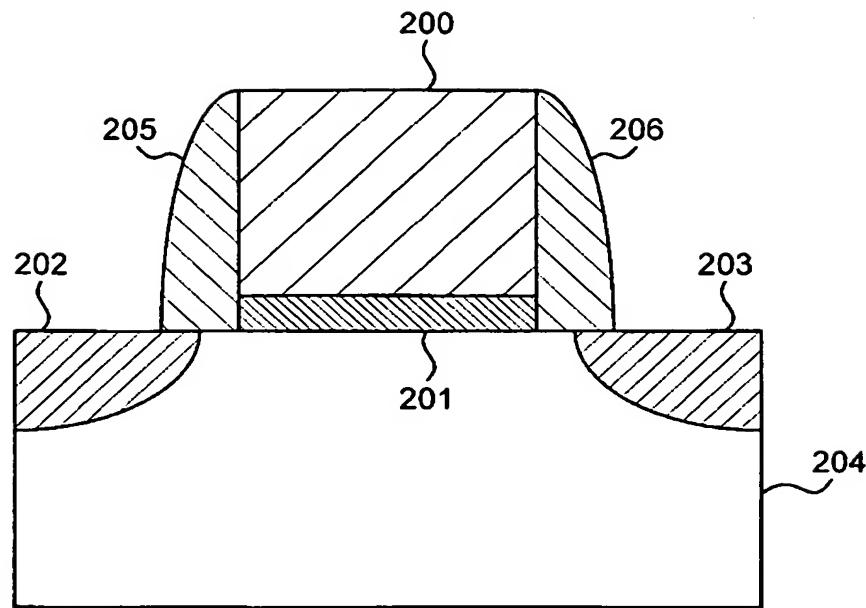
111 電圧極性反転回路

【書類名】 図面

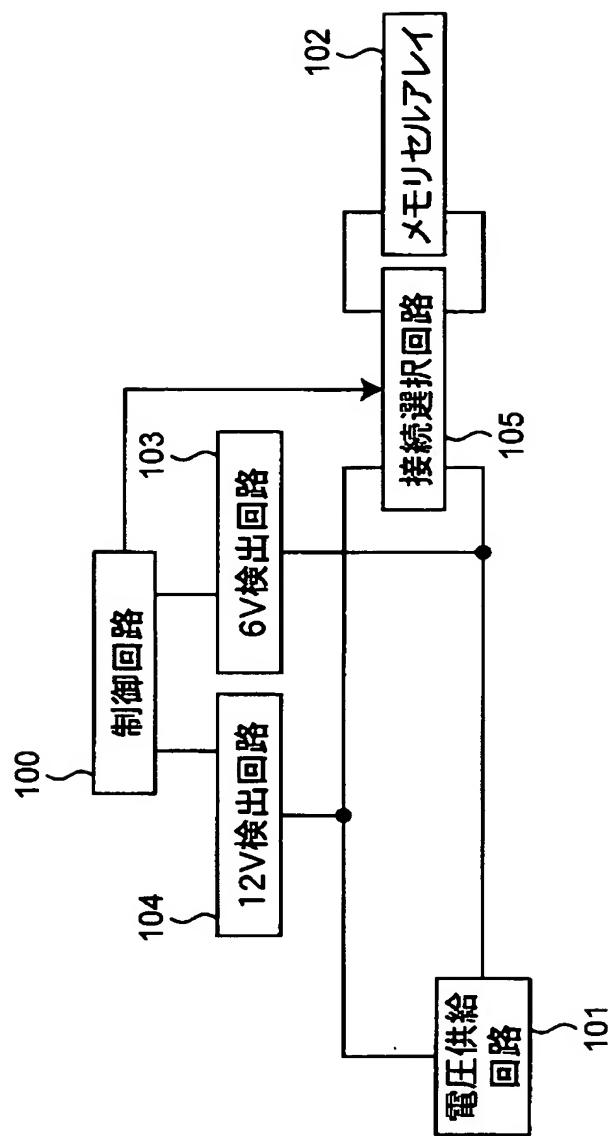
【図 1】



【図 2】



【図3】



【書類名】 要約書

【要約】

【課題】 メモリセルアレイや周辺回路の小型化が行なえる半導体記憶装置を提供すること。

【解決手段】 電圧供給回路101で生成した6Vの電圧と、この6Vの電圧の極性を電圧極性反転回路111反転してなる-6Vの電圧とを、選択接続回路105によってメモリセルアレイ102に供給する。電圧供給回路101からの電圧値を検出する6V電圧レベル検出回路103と、電圧極性反転回路101からの電圧値を検出する-6V電圧レベル検出回路103とは、トランジスタの絶縁膜を薄く形成できるので、回路の微細化により回路面積が縮小できる。メモリセルアレイ102の不揮発性メモリセルは、ゲート電極の両側にメモリ機能膜を有するので、ゲート絶縁膜を薄くして微細化を行なって、メモリセルアレイ102の回路面積を縮小できる。

【選択図】 図1

特願2003-026752

出願人履歴情報

識別番号

[000005049]

1. 変更年月日

[変更理由]

住 所

氏 名

1990年 8月29日

新規登録

大阪府大阪市阿倍野区長池町22番22号

シャープ株式会社